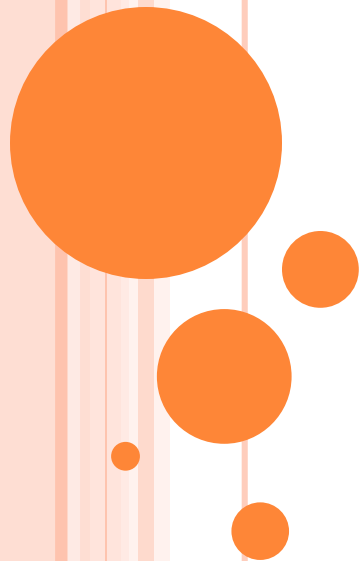




DISPOSITIVOS LÓGICOS PROGRAMABLES (PLD)





PLD

- Dispositivo lógico programable:
 - Circuito prefabricado que incluyen dos capas de interconexión flexibles. Equivalen a miles de compuertas lógicas.
 - Expresiones de conmutación básicas de dos niveles





PLD

- Integran fácilmente aplicaciones y desarrollos lógicos.
 - Empaquetamiento en un circuito integrado
- Reducen espacio físico
- ASIC (Circuitos integrados de aplicación específica) → Se sustituyen por FPGA y CPLD





CATEGORÍAS

- Diseño totalmente a la medida (Full-Custom)
 - Libertad total de diseño, requiere todas las etapas de fabricación.
 - Riesgos y costos muy elevados. (Alta prod.)
- Matrices de compuertas predifundidas (Semi custom/gate array)
 - Estructura regular de dispositivos básicos, prefabricada, personalizable.
 - Diseño limitado a la estructura prefabricada.





CATEGORÍAS

- Celdas estándar precaracterizadas (Semi custom/standard cells)
 - Sin estructura prefabricada, tiene bibliotecas de celdas y módulos precaracterizados.
 - Libertad de diseño (facilidades de la biblioteca), requiere diseños completos
- Lógica programable (CPLD, FPGA)
 - Dispositivos fabricados personalizables mediante programación.
 - Basada en bibliotecas y mecanismos específicos programables por Software



CLASIFICACIÓN (ARQUITECTURA)

- PROM (Memoria programable de sólo lectura)
- PLA (Arreglo lógico programable)
- PAL (Lógica de arreglos programables)
- GAL (Arreglo lógico genérico)
- CPLD (Dispositivo lógico programable complejo)
- FPGA (Arreglos de compuertas programables mediante campos)





PLA

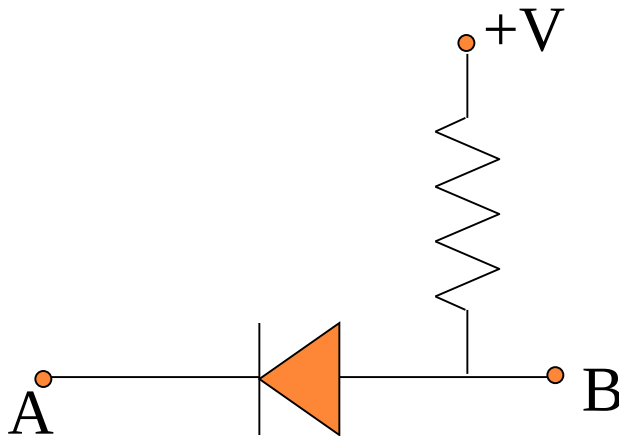
- Arreglo de compuertas:
 - Circuito con varias compuertas lógicas no conectadas.
 - Programable en función de la aplicación





PLA

- Diodos en circuitos digitales:
 - Funcionan como interruptor.

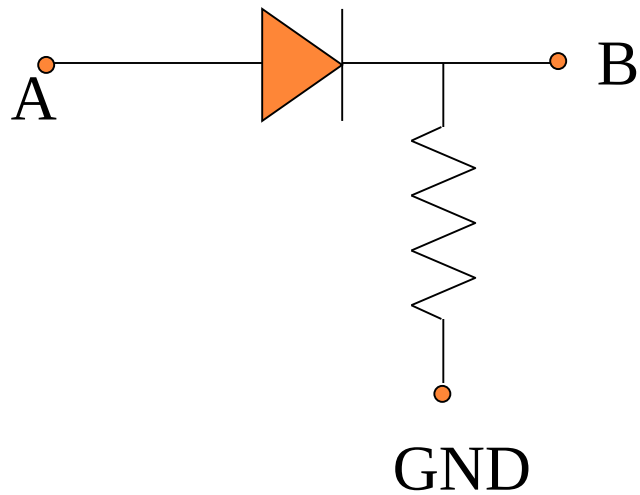


Resistencia Pull-up
(Elevadora)





PLA

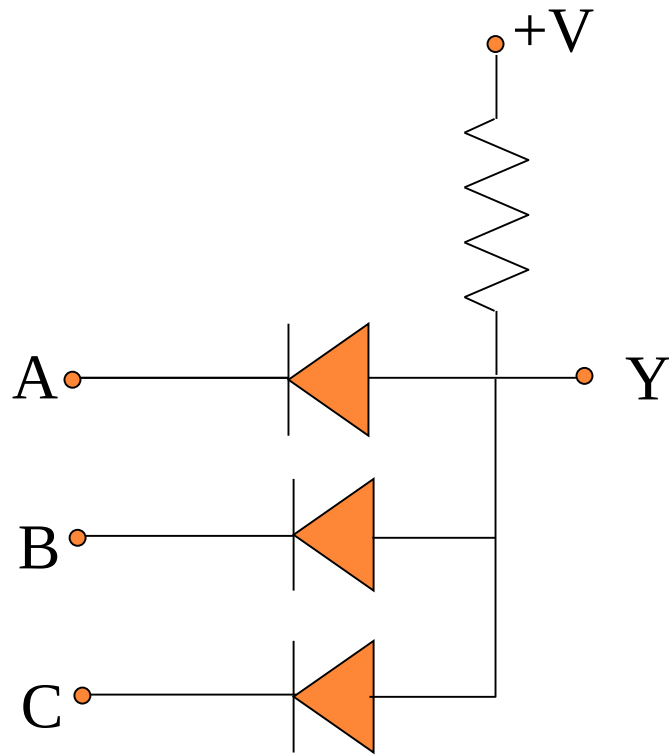


Resistencia Pull-down
(Reductora)





COMPUERTA AND

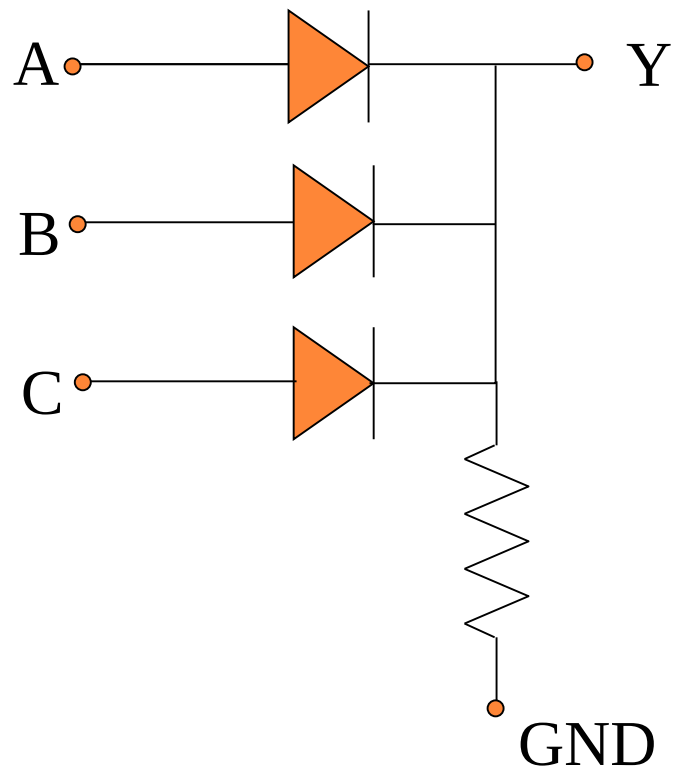


A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1





COMPUERTA OR



A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1





$$F(A,B,C) = A'BC + A'C$$

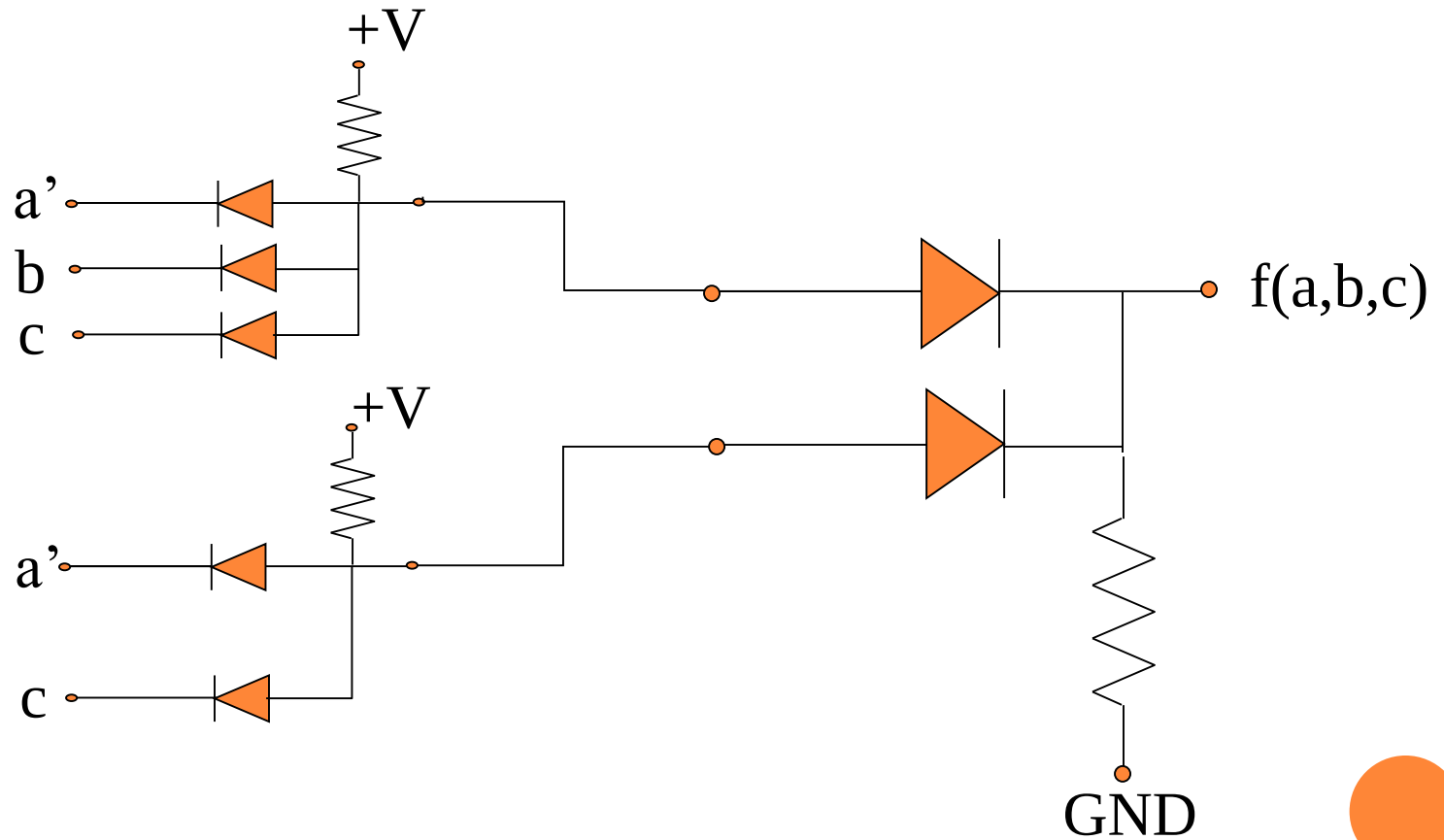
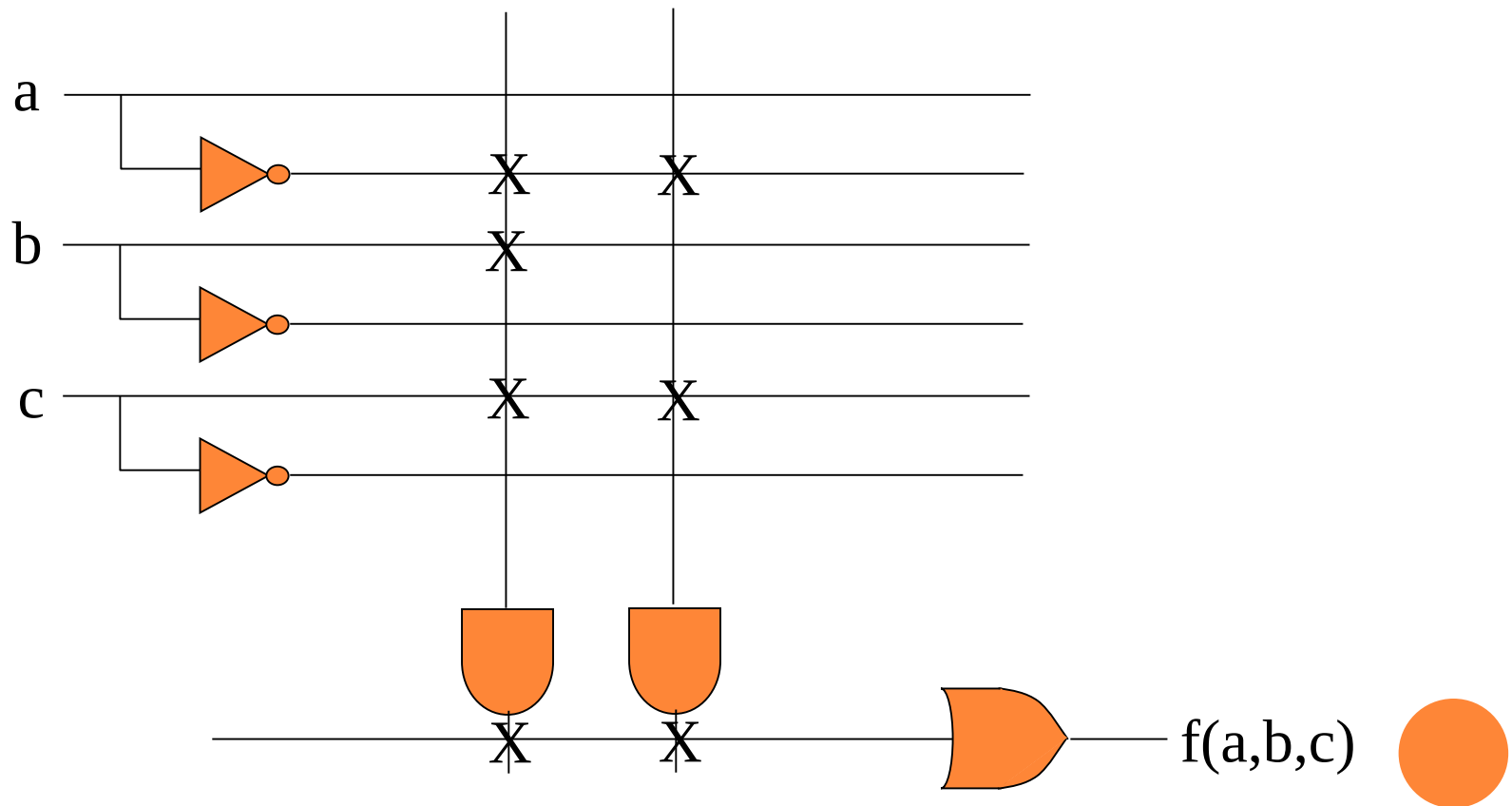




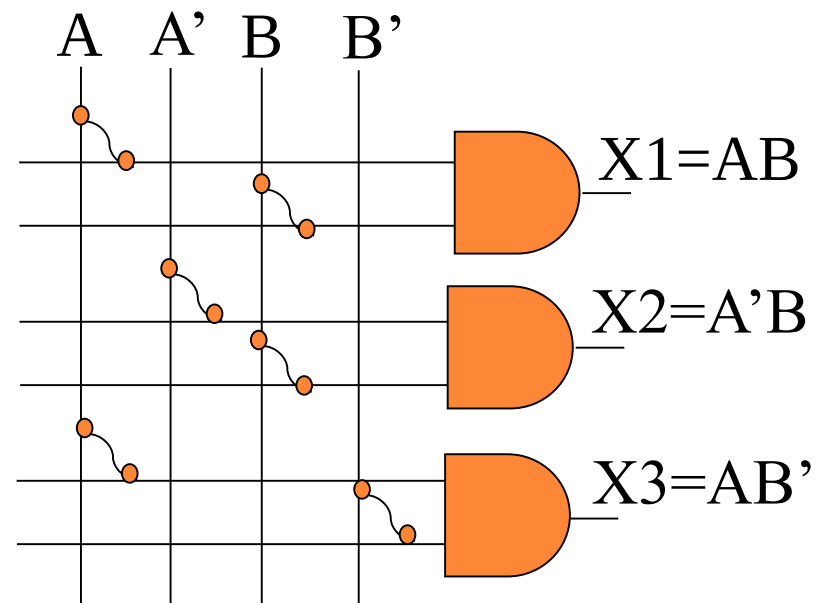
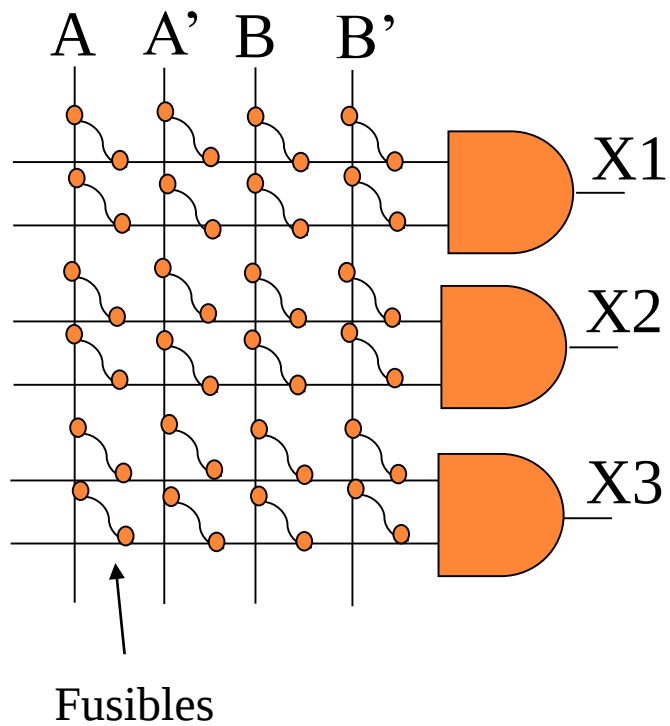
DIAGRAMA MATRICIAL

$$f(a,b,c) = a'bc + a'c$$





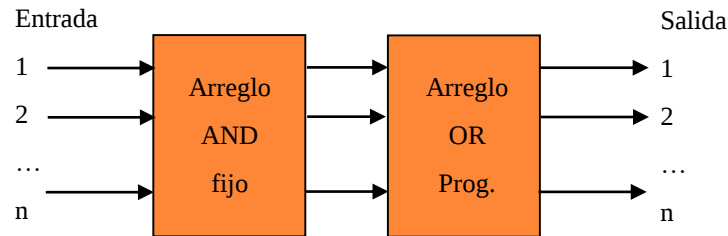
ARREGLO PROGRAMABLE



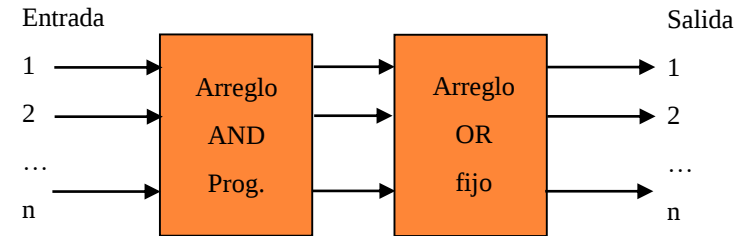


ESQUEMAS BÁSICOS DE DISPOSITIVOS

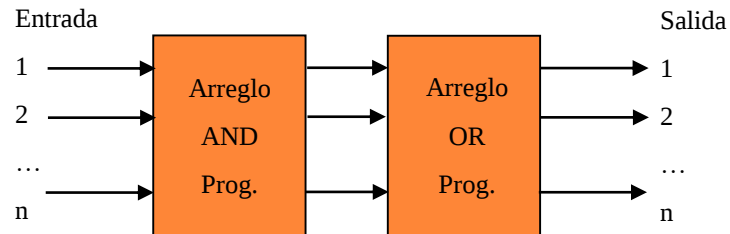
PROM



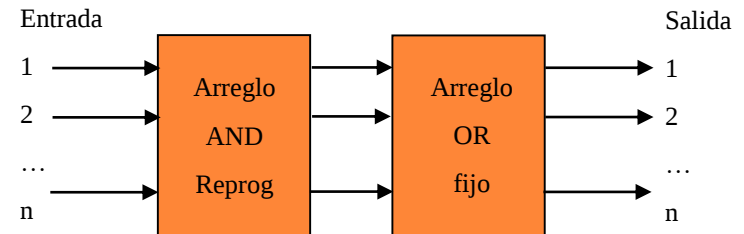
PAL



PLA

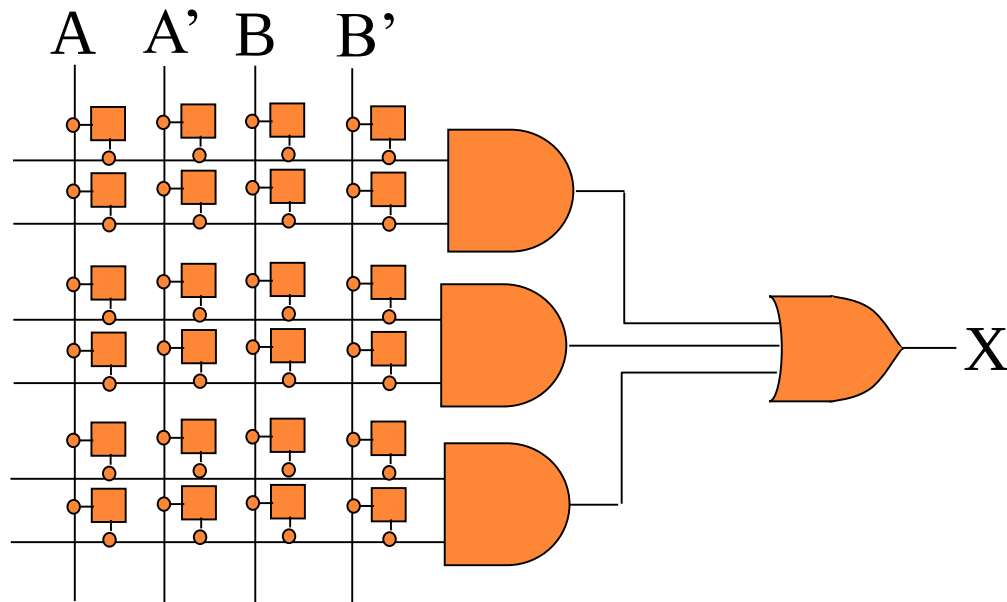


GAL





PROGRAMACIÓN GAL

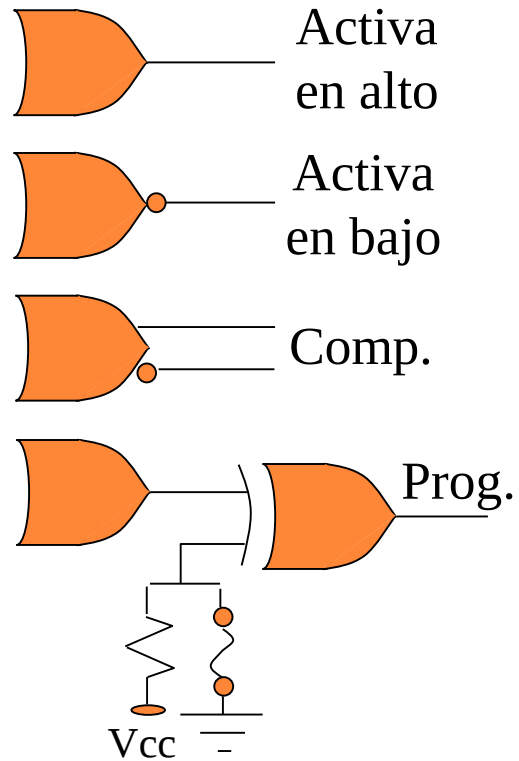


Interruptor
ON / OFF

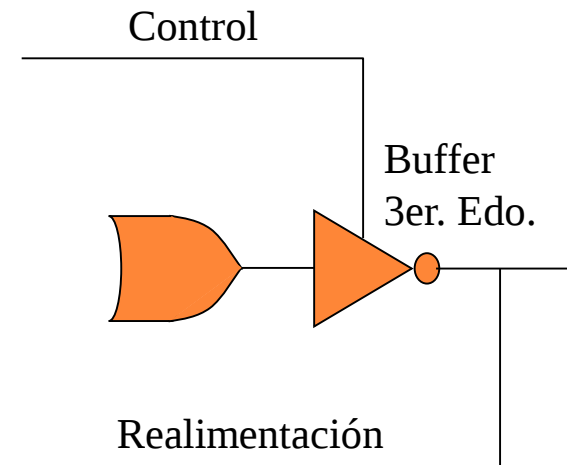




SALIDAS



Realimentación





ARQUITECTURA

- GAL 16V8
- GAL 20V8
- Programación – ***Wincupl***

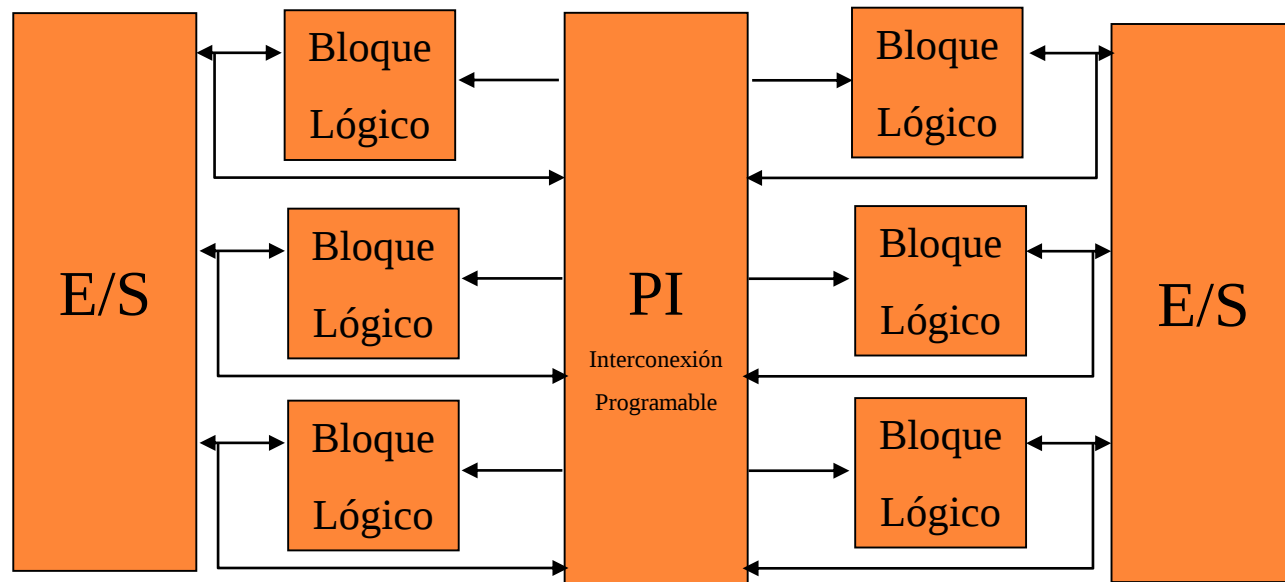
Operador	Ejemplo	Función
!	!A	NOT
&	A&B	AND
#	A#B	OR
\$	A\$B	XOR





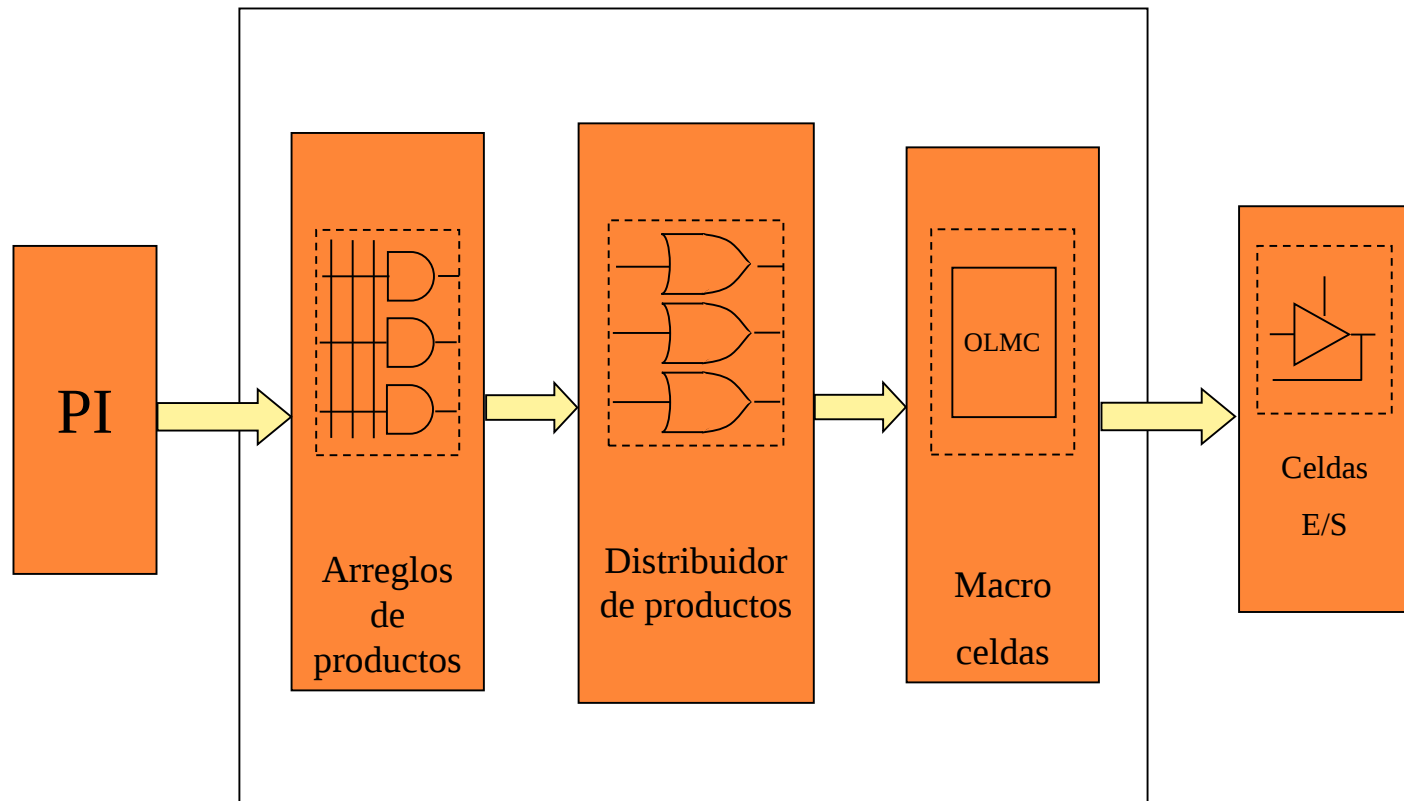
DISPOSITIVOS LÓGICOS PROGRAMABLES DE ALTO NIVEL DE INTEGRACIÓN

- Dispositivos lógicos programables complejos (CPLD)





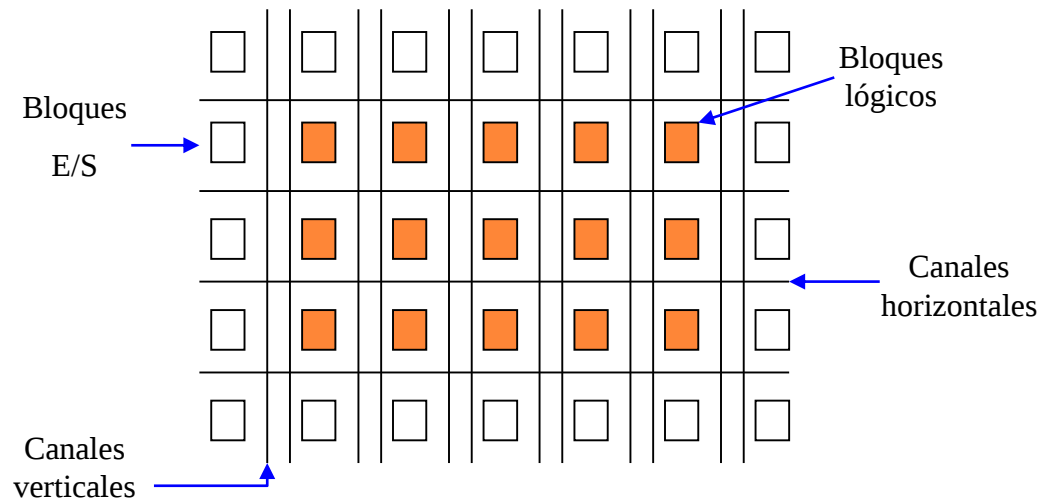
BLOQUE LÓGICO PROGRAMABLE





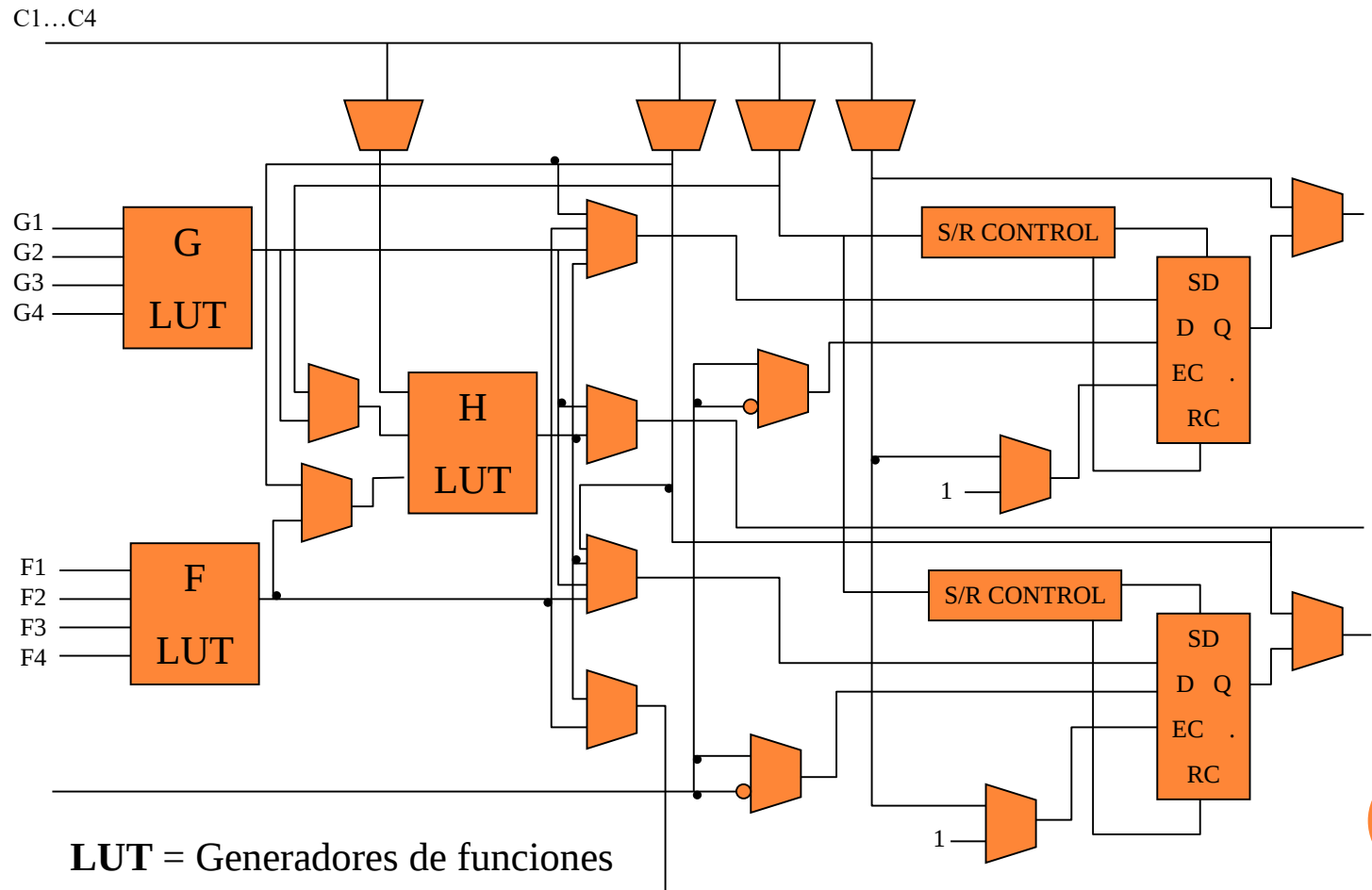
ARREGLOS DE COMPUERTAS PROGRAMABLES POR CAMPOS (FPGA)

- Arreglos de compuertas
 - Bloques lógicos configurables (CLB)
 - Bloques de entrada salida (IOB)
 - Canales de comunicación





BLOQUES LÓGICOS CONFIGURABLES





DISPOSITIVOS

Características	CPLD	FPGA
<i>Arquitectura</i>	Similar a un PLD Más combinacional	Similar a arreglos de compuertas Mas registros +RAM
<i>Densidad</i>	Baja a media	Media a alta
<i>Funcionalidad</i>	Frecuencias superiores a 200MHz	Depende de la aplicación (+135 MHz)
<i>Aplicaciones</i>	Contadores rápidos Máquinas de estado Lógica combinacional	Arquitectura de comp. DSP Diseños con registros



AMBIENTES DE DESARROLLO

○ Compiladores

- PALASM (PAL Assembler)
- OPAL (Optimal PAL Lenguaje)
- PLPL (Programmable Logic Programming Lenguaje)
- ABEL (Advanced Boolean Expression Lenguaje)
- CUPL (Compiler Universal Programmable Logic)

